

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003044031 A**

(43) Date of publication of application: **14.02.03**

(51) Int. Cl.  
**G09G 5/00**  
**G09G 5/36**  
**H04N 5/262**

(21) Application number: **2001233515**

(22) Date of filing: **01.08.01**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **MATSUI NAOMI**

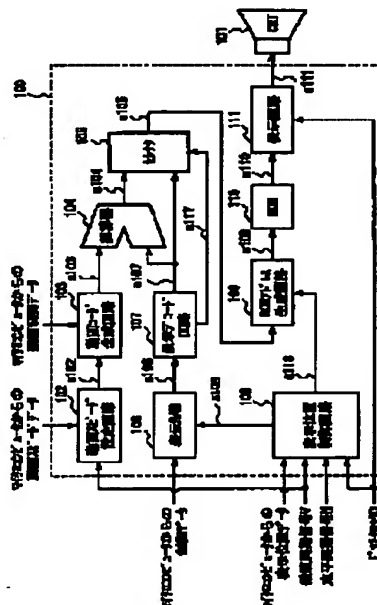
(54) **IMAGE DISPLAY DEVICE AND IMAGE DISPLAY METHOD**

(57) **Abstract**

**PROBLEM TO BE SOLVED:** To provide an image display device and an image display method capable of performing moving picture display by switching a image for every display or every two or more displays without burdening a microcomputer as an image display technique.

**SOLUTION:** A display image control part 100 increases or decreases or cyclically repeats a display code within a certain time by counting vertical synchronizing signals, to read display data corresponding to the display code from ROM 101, and to display an image on a CRT 101.

**COPYRIGHT:** (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-44031

(P 2 0 0 3 - 4 4 0 3 1 A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード (参考)
G09G 5/00	530	G09G 5/00	530 T 5C023
	550		550 B 5C082
5/36	510	5/36	510 M
H04N 5/262		H04N 5/262	

審査請求 有 請求項の数 6 O L (全18頁)

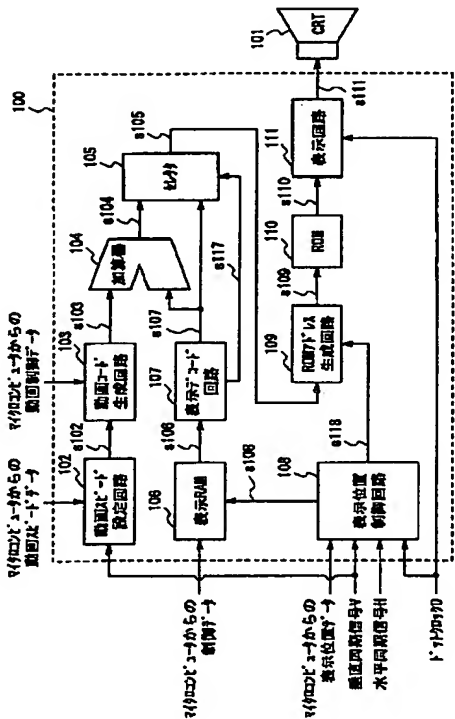
(21) 出願番号	特願2001-233515 (P 2001-233515)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成13年8月1日 (2001.8.1)	(72) 発明者	松井 尚巳 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	100081813 弁理士 早瀬 憲一
		F タ-ム (参考)	5C023 AA11 AA32 AA38 CA03 DA02 DA08 EA02 5C082 AA02 BA12 BB13 BB42 BB53 BC05 BD01 CB01 DA22 DA42 DA73 DA86 MM02 MM05 MM09

(54) 【発明の名称】 画像表示装置および画像表示方法

(57) 【要約】

【課題】 画像表示技術として、画像を画面毎あるいは複数画面毎に切り替えることによる動画表示を、マイクロコンピュータに負担をかけることなく実行できる画像表示装置及び画像表示方法を提供する。

【解決手段】 表示画像制御部100において、垂直同期信号をカウントすることにより、一定時間で表示コードを増加あるいは減少あるいはサイクリックに繰り返させ、その表示コードに対応する表示データをROM101から読み出し、画像をCRT101上に表示させる。



## 【特許請求の範囲】

【請求項 1】 静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示装置において、表示画面上に表示される画像の表示コードと、該表示コードが示す画像を動画とするか否かを示す動画静止画選択信号と、を少なくとも含む制御データを記憶する第 1 のメモリと、

上記表示画面上に表示される全ての画像の表示データをあらかじめ記憶している第 2 のメモリと、

前記第 1 のメモリから上記制御データを読み出して、上記表示コードと、上記動画静止画選択信号とを出力するデコード回路と、

カウントされた垂直同期信号の値がある設定値になると出力されるインクリメント信号を受け、設定された動画に使用される画像数に基づいて、該インクリメント信号をカウントし、増加、減少、あるいはサイクリックに繰り返される該カウント値を、動画コードとして出力する動画コード生成回路と、

上記表示コードから、上記動画コードの初期値を用いて静止画表示する場合に使用する表示コードである初期表示コードと、上記動画コードを用いて動画表示する場合に使用する表示コードである動画表示コードと、を生成する加算器と、

上記動画静止画選択信号に基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択するセレクトと、

前記セレクトにおいて選択された表示コードを受けて、該表示コードに対応する表示データを格納している上記第 2 のメモリのアドレスを出力するアドレス生成回路と、を備える、

ことを特徴とした画像表示装置。

【請求項 2】 請求項 1 に記載の画像表示装置において、

上記動画コード生成回路が、

上記設定された動画に使用される画像数を記憶するレジスタと、

上記レジスタに記憶された画像数と上記動画コードの値とを比較する比較器と、

上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントを停止し、その出力を上記動画コードとするバイナリカウンタと、を備える、ことを特徴とした画像表示装置。

【請求項 3】 請求項 1 に記載の画像表示装置において、

上記動画コード生成回路が、

上記設定された動画に使用される画像数を記憶するレジスタと、

上記レジスタに記憶された画像数と上記動画コードの値

とを比較する比較器と、

上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントをリセットし、その出力を上記動画コードとするバイナリカウンタと、を備える、

ことを特徴とした画像表示装置。

【請求項 4】 請求項 1 に記載の画像表示装置において、

上記動画コード生成回路が、

上記設定された動画に使用される画像数を記憶するレジスタと、

上記動画コードが所定の数値であることを検出する検出器と、

上記検出器の出力が所定の数値の検出を示さない場合は入力される上記インクリメント信号をカウントダウンし、上記検出器の出力が所定の数値の検出を示す場合は上記レジスタに記憶された画像数をプリセットし、その出力を上記動画コードとするバイナリダウンカウンタと、を備える、

ことを特徴とした画像表示装置。

【請求項 5】 静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、

垂直同期信号のカウントを開始するカウント開始ステップと、

動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、

上記インクリメント信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、

上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、

上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、

上記選択ステップにおいて選択された表示コードが示す画像を表示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、

3

上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果が一致であれば上記その時点の動画コードを初期値に戻すものである、  
ことを特徴とする画像表示方法。

【請求項6】 静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、垂直同期信号のカウントを開始するカウント開始ステップと、

動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、

上記インクリメント信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、

上記選択ステップにおいて選択された表示コードが示す画像を表示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、

上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果が一致であれば、上記その時点の動画コードをその値で停止させるものである、

ことを特徴とする画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CRT等の表示装置に表示する画像制御に関し、特に、複数の画像を切り替えて動画表示する場合の画像制御に関する。

【0002】

【従来の技術】 近年、TVセット等に、チャンネルや音量やメニュー表示等の様々な情報を表示するには、マイクロコンピュータからの制御データに基づいて、予めすべての表示データが記録されているROMより、上記様々な情報に対応する画像を読み出し、CRT等に表示する、という技術が用いられている。

4

【0003】 以下、図9を用いて、従来の画像表示装置の構成について説明する。図9は、従来の画像表示装置の構成を示すブロック図である。図9において、従来の画像表示装置は、マイクロコンピュータ（図示せず）から送られてくる制御データによって、表示する画像を制御する表示画像制御部600と、該表示画像制御部600において生成された画像を表示する表示部であるCRT101とからなるものであり、上記表示画像制御部600は、表示RAM106と、表示位置制御回路108と、表示デコード回路107と、ROMアドレス生成回路109と、ROM110と、表示回路111とからなるものである。

【0004】 上記表示RAM106は、マイクロコンピュータにより書き込まれる制御データを蓄えるものであり、上記制御データは、どの画像を表示するのかを示す表示コードや、該表示される画像がどのような色であるかを示す色コード等の情報を含むデータである。また、上記表示位置制御回路108は、マイクロコンピュータから書き込まれる、画像を画面上のどの位置に表示するかを示す表示位置データと、当該表示画像制御部600に入力される垂直同期信号V、水平同期信号H、及びドットクロックDとにより、表示画面の走査線の縦方向の位置である縦方向位置データs118と、表示RAM106に格納されている複数の制御データから読み出す制御データのアドレスを表示RAM読み出しアドレスs108として出力するものである。

【0005】 また、上記表示デコード回路107は、上記表示位置制御回路108から出力される表示RAM読み出しアドレスs108により、表示RAM106から読み出された制御データs106を解読して、該制御データs106に含まれる表示コードs107等を入力するものであり、ROMアドレス生成回路109は、該表示コードs107と、上記表示位置制御回路108から出力された縦方向位置データs118とを演算し、上記表示コードに対応する画像が格納されているROM110の表示データアドレスs109を生成するものである。

【0006】 そして、画面上に表示する全ての画像の表示データが予め格納されているROM110は、上記ROMアドレス生成回路109から表示データアドレスs109を受信して表示データs110を出力するものであり、表示回路111は、該表示データs110からライン毎にドットクロックDに同期したRGB信号s111を生成して、CRT101へ出力するものである。

【0007】 以下、このような構成の画像表示装置において、図形を表示する場合の動作について説明する。まず、マイクロコンピュータから、表示RAM106に、どの図形を表示するのかを示す表示コードを含む制御データが書き込まれ、表示位置制御回路108には、該図形を表示する位置を示す表示位置データが書き込まれ

る。

【0008】次に、表示位置制御回路108において、垂直同期信号Vから表示画面の始まりと、水平同期信号Hから画面の縦方向位置とを決定することによって、画面の走査線の縦方向位置データs118を生成して上記ROMアドレス生成回路109に出力し、また、ドットクロックDから画面の横方向位置を決定して、上記表示位置データにより、表示する位置のタイミングに合わせて表示RAM読み出しアドレスs108を表示RAM106に出力する。

【0009】そして、表示RAM読み出しアドレス信号s108を受信した表示RAM106は、制御データs106を読み出し、表示デコード回路107において、該制御データs106を解読して表示コードs107を取り出し、ROMアドレス生成回路109に出力する。

【0010】そして、上記表示コードs107と、上述した表示位置制御回路108からの縦方向位置データs118とに基づいて、表示する図形と該図形の表示位置である走査対象のラインを決定し、あらかじめ複数の図形の表示データがライン毎に格納されているROM110内のアドレスである表示データアドレスs109を生成する。

【0011】この上記表示データアドレスs109を受信したROM110から、画面上に表示される表示データs110を読み出し、表示回路111において、ドットクロックDに同期したRGB信号s111を生成してCRT101に出力する。

【0012】このようにして、従来の画像表示装置においては、マイクロコンピュータから表示画像制御部600に、表示したい図形の表示コードと、その画像を表示する表示位置データとを送れば、表示画像制御部600の垂直同期信号Vと水平同期信号HとドットクロックDとに同期したRGB信号s111がCRT101に出力され、該CRT101にその図形が表示される。

【0013】そして、以上のようにして、表示された図形、あるいは絵等の静止画像を動いて見えるようにする方法として、その静止画像を画面毎、あるいは複数の画面毎に切替える方法がある。

【0014】ここで、上述した方法を用いて、従来装置において表示された画像が動いて見えるようにする動作について説明すると、映像フィルムの1コマ1コマのように、画像が変形する過程の表示データをROM110に格納し、それをある一定間隔で画面毎あるいは複数画面毎に切替えて表示するよう制御することで可能となる。

【0015】例えば、ROM110に格納されている図10に示すような6枚の静止画像を切替えて表示するためには、まずマイクロコンピュータから表示RAM106に、図10に示す各画像毎の制御データを格納し、表示位置制御回路108に表示位置データを入力する。そ

して、表示位置制御回路108から、表示する位置タイミングに合わせて、表示RAM読み出しアドレスs108を出力し、表示RAM106より、最初に表示する画像である図10の画像701の制御データs106を出力させる。そして、この制御データs106を解読して表示コードs107を生成し、該表示コードs107と表示位置制御回路108から出力される縦方向位置データs118とより表示データアドレスs109を作成して、ROM110より表示データs110を読み出し、表示回路111にてRGB信号s111を作成して、CRT101に図10の画像701を表示させる。そして、このときマイクロコンピュータ内部のタイマーにおいて時間計測が行われており、ある一定時間経過後に図10の画像702を同じ手順でCRT101に表示させ、さらに同様にして図10の画像703～図10の画像706をある一定時間間隔で表示させることで、静止画像が動いて見えるようにするものである。

【0016】

【発明が解決しようとする課題】しかしながら、従来の画像表示装置の構成では、静止画像を画面毎あるいは複数画面毎に切替えて表示する場合、上述したようにマイクロコンピュータが常に画面の切替えの時間を管理しなければならないし、さらに、上記静止画像を続けて表示しつづけるためには、表示RAM106に蓄えられている制御データを、適切なタイミングで書き替える必要があった。この動作は、マイクロコンピュータに大きな負担をかけることとなり、この結果、画像表示装置全体としてのパフォーマンスを低下させる、という問題があった。

【0017】本発明は、以上のような問題に鑑みてなされたものであり、マイクロコンピュータに負担をかけることなく、画像を画面毎あるいは複数画面毎に切替えて動画表示を行う画像表示装置、及び画像表示方法を提供することを目的とする。

【0018】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に記載の画像表示装置は、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示装置において、表示画面上に表示される画像の表示コードと、該表示コードが示す画像を動画とするか否かを示す動画静止画選択信号と、を少なくとも含む制御データを記憶する第1のメモリと、上記表示画面上に表示される全ての画像の表示データをあらかじめ記憶している第2のメモリと、前記第1のメモリから上記制御データを読み出して、上記表示コードと、上記動画静止画選択信号とを出力するデコード回路と、カウントされた垂直同期信号の値がある設定値になると出力されるインクリメント信号を受け、設定された動画に使用される画像数に基づいて、該インクリメント信号をカウントし、増加、減少、あるいはサイクリックに繰り返

される該カウント値を、動画コードとして出力する動画コード生成回路と、上記表示コードから、上記動画コードの初期値を用いて静止画表示する場合に使用する表示コードである初期表示コードと、上記動画コードを用いて動画表示する場合に使用する表示コードである動画表示コードと、を生成する加算器と、上記動画静止画選択信号に基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択するセクタと、前記セクタにおいて選択された表示コードを受けて、該表示コードに対応する表示データを格納している上記第2のメモリのアドレスを出力するアドレス生成回路とを備えるものである。

【0019】また、本発明の請求項2に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記レジスタに記憶された画像数と上記動画コードの値とを比較する比較器と、上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントを停止し、その出力を上記動画コードとするバイナリカウンタとを備えるものである。

【0020】また、本発明の請求項3に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記レジスタに記憶された画像数と上記動画コードの値とを比較する比較器と、上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントをリセットし、その出力を上記動画コードとするバイナリカウンタとを備えるものである。

【0021】また、本発明の請求項4に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記動画コードが所定の数値であることを検出する検出器と、上記検出器の出力が所定の数値の検出を示さない場合は入力される上記インクリメント信号をカウントダウンし、上記検出器の出力が所定の数値の検出を示す場合は上記レジスタに記憶された画像数をプリセットし、その出力を上記動画コードとするバイナリダウンカウンタとを備えるものである。

【0022】また、本発明の請求項5に記載の画像表示方法は、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む

制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、垂直同期信号のカウントを開始するカウント開始ステップと、動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、上記インクリメント信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、上記選択ステップにおいて選択された表示コードが示す画像を表示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果が一致であれば上記その時点の動画コードを初期値に戻すものである。

【0023】また、本発明の請求項6に記載の画像表示方法は、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、垂直同期信号のカウントを開始するカウント開始ステップと、動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、上記インクリメント信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、上記選択ステップにおいて選択された表示コードが示す画像を表

示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果が一致であれば、上記その時点の動画コードをその値で停止させるものである。

#### 【0024】

【発明の実施の形態】（実施の形態1）以下、本発明の実施の形態1について、図面を参照しながら説明する。10  
まず、図1を用いて、本実施の形態1における画像表示装置の構成について説明する。図1は、実施の形態1に係る画像表示装置の構成を示すブロック図である。図1において、本実施の形態1における画像表示装置は、マイクロコンピュータ（図示せず）から制御データと、画像の表示位置を決める表示位置データと、動画の動きのスピードを決める動画スピードデータと、動画に使用する画像数を示す動画制御データとを受信し、画像表示に必要な垂直同期信号Vと水平同期信号HとドットクロックDにより、RGB信号s111を出力する表示画像制御部100と、上記RGB信号s111を受信して画像を表示するCRT101とからなるものである。

【0025】上記表示画像制御部100は、表示RAM106と、表示デコード回路107と、表示位置制御回路108と、ROMアドレス生成回路109と、ROM110と、表示回路111と、動画スピード設定回路102と、動画コード生成回路103と、加算器104と、セクタ105とを備えるものである。

【0026】上記表示RAM106は、マイクロコンピュータにより書き込まれる制御データを蓄えるものであり、上記制御データは、どの画像を表示するのかを示す表示コードや、該表示される画像がどのような色であるかを示す色コード等の情報に加え、その表示する画像を動画とするか否かを示す動画静止画選択ビットをさらに含むものである。なお、本実施の形態1においては、説明を簡便にするため、上記制御データが、上記表示コードと上記動画静止画選択ビットとを含むものとする。

【0027】また、上記表示デコード回路107は、表示RAM106から読み出された、上記表示コード及び動画静止画選択ビットを含む制御データs106を解読して、表示コードs107と、動画静止画選択信号s117とを出力するものである。

【0028】さらに、上記動画スピード設定回路102は、マイクロコンピュータから、垂直同期信号Vのカウンタ値である上記動画スピードデータが書き込まれ、表示画像制御部100に入力される垂直同期信号Vを該動画スピードデータの値までカウントしていき、カウンタが終了する毎に動画コードインクリメント信号s102を出力するものである。そして、上記動画コード生成回路103は、上記マイクロコンピュータから上記動画制

御データが書き込まれた後、該動画制御データに基づいて、上記動画コードインクリメント信号s102をカウンタアップあるいはカウンタダウン等することで、値が増加、減少、あるいはサイクリックに繰り返される動画コードs103を出力するものである。本実施の形態1においては、動画コード回路103aが、0,1,...と増加し、動画制御データnでとまる動画コードs103aを出力するものとする。図3は、本実施の形態1における、動画コード生成回路103aの構成を示す図であり、図3において、動画コード生成回路103aは、マイクロコンピュータからの動画制御データを格納し、動画数データs201を出力する動画数レジスタ201と、その動画数データs201の値と動画コードs103aの値とを比較して、一致すれば“0”、一致しなければ“1”を比較結果信号s202として出力する比較器202と、その比較結果信号s202と動画コードインクリメント信号s102との論理積をとるAND回路203と、上記動画制御データが入力されるとリセットされ、上記AND回路203からの論理積s203をカウンタアップしていき、そのカウンタ値を動画コードs103aとして出力するリセット付きバイナリカウンタ204と、を備えている。

【0029】また、上記加算器104は、上記表示デコード回路107から出力される表示コードs107と、上記動画コード生成回路103から出力される動画コードs103aとから、動画表示するとき使用する表示コードである動画表示コードs104を生成して出力するものであり、上記セクタ105は、上記表示デコード回路107から出力される動画静止画選択信号s117に基づいて、該動画表示コードs104と、上記表示コードs107とのうちどちらかを選択し、セクタ出力コードs105として出力するものである。なお、そのほかの構成は、図9に示す従来装置と同様であるため、ここでは説明を省略する。

【0030】すなわち、本実施の形態1における表示画像制御部100は、図9に示す従来の表示画像制御部600の構成に加えて、上述した動画スピード設定回路102と、動画コード生成回路103と、加算器104と、セクタ105とが設けられ、また、本実施の形態1における表示デコード回路107においては、図9に示す従来の表示デコード回路107の機能に加え、動画静止画選択ビットをさらに含む本実施の形態1における制御データs106から、動画静止画選択信号s117を出力する機能が設けられているものである。

【0031】次に、図1から図4を用いて、以上のように構成された、本実施の形態1における画像表示装置で、図形を表示する動作について説明する。図2は、本実施の形態1における画像表示装置の、表示RAM106に設定される制御データの一例（図2(a））と、ROM110に予め格納されている表示データの一例（図2



(b))と、CRT101に表示される画像の一例(図2(c))とを示すものであり、図4は、本実施の形態1における、表示画像制御部100の一連の動作を示すフローチャート図である。なお、図2(b)に示されているデータA、データB、データC、データDは、それぞれ図形A、図形B、図形C、図形Dの表示データあり、例えば図形Aが横8ドット、縦16ドットの図形であれば、データAは8ビットのデータを16アドレス分持つものとなる。また、各表示データに対応する表示コードとして、ここでは、図形Aは表示コード“0”に、図形Bは表示コード“1”に、図形Cは表示コード“2”に、図形Dは表示コード“3”に対応するものとする。

【0032】まず、マイクロコンピュータは、CRT101の初期画面に表示する図形の制御データを表示RAM106に、上記表示位置データを表示位置制御回路108に、さらに上記動画スピードデータを動画スピード設定回路102に、上記動画制御データを動画コード生成回路103aに書き込む(ステップS401)。なお、ここでは動画制御データをn(n:整数)とし、また上記動画静止画選択ビットが“1”であれば動画を選択し、“0”であれば動画を選択しないものとする。例えば、図2(a)に示すような2つの制御データがマイクロコンピュータから表示RAM106に書き込まれた場合、第1の制御データは、表示コード501が“0”、動画静止画選択ビット502が“1”であるので、図形Aを動画で表示することを示し、一方、第2の制御データは、表示コード501が“3”、動画静止画選択ビット502が“0”であるので、図形Dを静止画で表示することを示す。

【0033】このようにして本実施の形態1における画像表示装置の表示画像制御部100に、上述した各データが設定されると、動画スピード設定回路102においてカウントが開始され(ステップS402)、CRT101上に、最初の図形である図形Aと図形Dとが、図2(c)の初期画面503に示すように表示される(ステップS403)。

【0034】以下、表示画像制御部100に各データが設定されてから、CRT101上に最初の図形が表示されるまでの具体的な動作について説明する。まず、動画スピード設定回路102は垂直同期信号Vのカウントを開始し、表示位置制御回路108は、垂直同期信号Vにより表示画面の始まりを、また水平同期信号Hにより画面の縦方向位置を、ドットクロックDにより画面の横方向位置を決定し、表示する位置のタイミングに合わせて表示RAM読み出しアドレスs108を出力する。

【0035】そして、該表示RAM読み出しアドレスs108を受信した表示RAM106は、制御データs106を読み出し、表示デコード回路107において、該制御データs106を解読して、どの図形を表示するか

を示す表示コードs107を加算器104とセクタ105とに、またその図形を動画とするか否かを示す動画静止画選択信号s117をセクタ105に出力する。例えば、図2(a)に示される、第1の制御データの場合は、表示コードs107“0”、動画静止画選択信号s117“1”が出力され、第2の制御データの場合は、表示コードs107“3”、動画静止画選択信号s117“0”が出力される。

【0036】次に、加算器104において、上記表示デコード回路107からの表示コードs107と、動画コード生成回路103aからの動画コードs103aとの加算を行う。ここで、本実施の形態1における動画コード生成回路103aは、マイクロコンピュータから動画制御データが入力されると、その値を動画数レジスタ201に書き込み、また該動画制御データが入力されると同時にリセット付きバイナリカウンタ204をリセットする。これにより、リセット付きバイナリカウンタ204は、動画コードs103aの初期値として“0”を出力する。従って、最初の図形の場合、上記表示コードs107と動画コードs103aとの加算値である動画表示コードs104の値は、表示コードs107と同じ値となり、セクタ105からは、動画静止画選択信号s117の値にかかわらず、いずれにしても表示コードs107の値がセクタ出力コードs105として出力されることとなる。

【0037】そして、ROMアドレス生成回路109において、セクタ出力コードs105が示す図形の表示データが格納されている表示データアドレスs109を生成し、該表示データアドレスs109に基づいてROM110から表示データs110を出力する。例えば、第1の制御データの場合、表示コード“0”に対応するデータAが表示回路111に出力され、第2の制御データの場合は、表示コード“3”に対応するデータDが表示回路111に出力される。

【0038】そして、表示回路111において、ドットクロックDに同期したRGB信号s111が上記CRT101に出力され、例えば、図2(c)の初期画面503に示されるように、第1の制御データの場合は図形Aが、第2の制御データの場合は図形Dが、CRT101に最初の画面として表示されることとなる。

【0039】以上のことから分かるように、CRT101上に最初に表示される図形は、マイクロコンピュータが表示RAM106に書き込んだ制御データに含まれる表示コードが示す図形となる。

【0040】次に、動画スピード設定回路102においてカウントが開始されてから、ある一定時間が経過し(ステップS404)、CRT101上に表示された最初の図形が、次の図形に切替わるまで(ステップS405～ステップS412)の表示画像制御部100の動作を説明する。



【0041】まず、動画スピード設定回路102において、設定された上記動画スピードデータの値だけ垂直同期信号Vがカウントされると(ステップS404)、動画スピード設定回路102はカウント値を“0”にリセットすると共に、動画コードインクリメント信号s102を出力する(ステップS405)。そして、該動画コードインクリメント信号s102を受けた動画コード生成回路103aは、比較器202において、前回出力した動画コードs103a、ここでは初期値“0”と、動画制御データnとを比較し(ステップS406)、一致しなければ比較結果信号s202として“1”を出力するため、AND回路203は動画コードインクリメント信号s102が入力される毎に論理積s203を出力して、リセット付きバイナリカウンタ204をカウントアップさせる。よって、上記動画制御データnと動画コードs103a“0”とが一致しなければ、リセット付きバイナリカウンタ204はカウントアップされ、動画コードs103aとして“1”を出力する(ステップS407)。そして、加算器104において、表示コードs107と、上述のようにして生成した動画コードs103a“1”とを加算し、動画表示する際に使用する表示データである動画表示コードs104を生成する。例えば、図2(a)の第1の制御データでは、(表示コードs107“0”) + (動画コードs103“1”) = (動画表示コードs104“1”)を出力し、第2の制御データの場合は、(表示コードs107“3”) + (動画コードs103“1”) = (動画表示コードs104“4”)を出力する。そして、セレクト105において、上記表示デコード回路107から出力された動画静止画選択信号s117に基づき、動画表示コードs104か、表示コードs107かのどちらかを選択する(ステップS409)。ここでは、動画静止画選択信号s107が“1”であれば、動画表示であると判断され、セレクト出力コードs105として、表示コードs107に+1加算された動画表示コードs104がROMアドレス生成回路109に出力され(ステップS410)、該動画表示コードs104に対応する表示データが表示回路111に出力される(ステップS412)。この結果、CRT101上に、マイクロコンピュータが表示RAM106に書き込んだ制御データに含まれる表示コードに+1加算された表示コードが示す図形が表示される。一方、動画静止画選択信号s117が“0”であれば、静止画表示であると判断され、セレクト出力コードs105として、表示コードs107がROMアドレス生成回路109に出力され(ステップS411)、該表示コードs107に対応する表示データが表示回路111に出力されるため(ステップS412)、CRT101上に、マイクロコンピュータが表示RAM106に書き込んだ表示コードが示す図形、つまり最初の画面に表示された図形と同じ図形が表示される。従って、第

1の制御データの場合は、セレクト出力コードs105として動画表示コードs104“1”が、第2の制御データの場合は、セレクト出力コードs105として表示コードs107“3”が出力されることとなり、図2

(c)の初期画面503に表示された第1の制御データによる図形A及び第2の制御データによる図形Dは、図2(c)の画面504に示されるように、動画表示を示す第1の制御データによる図形Aは図形Bに切替えられ、また静止画表示を示す第2の制御データによる図形Dは図形Dのままで表示されることとなる。

【0042】さらに時間が経過して、動画スピード設定回路102において、再び設定された動画スピードデータの値だけの垂直同期信号Vがカウントされると(ステップS404)、動画スピード設定回路102は、カウンタ値をリセットして再び動画コードインクリメント信号s102を出力する(ステップS405)。そして、前回出力した動画コードs103a、ここでは“1”と、動画制御データnとを比較し(ステップS406)、一致しなければカウントアップして、動画コードs103として“2”を出力する(ステップS407)。

【0043】そして、加算器104において、表示コードs107に、上述のようにして生成した動画コードs103a“2”を加算し、動画表示する際に使用する表示データである動画表示コードs104を生成する。そして、セレクト105において、動画静止画選択信号s117に基づいて、上記動画表示コードs104か、上記表示コードs107かが選択され(ステップS409)、その選択されたセレクト出力コードs105に対応する図形がCRT101上に表示される。従って、図2(c)の画面504のように表示されている図形は、図2(c)の画面505のように、動画表示を示す第1の制御データによる図形Bは図形Cに切替えられ、また静止画表示を示す第2の制御データによる図形Dは図形Dのままで表示されることとなる。

【0044】そして、以上のような動作を、動画コード生成回路103aに書き込まれた動画制御データの値n回繰り返した後、その次のn+1回目においては、上述したステップS406で、比較器202において動画制御データnと、前回出力した動画コードs103a、ここでは“n”とを比較することになる。そしてここでは、動画コードs103aと動画制御データとが一致するので、比較結果信号s202として“0”が出力され、論理積s203は“0”に固定され、リセット付きバイナリカウンタ204においてカウンタが停止される。よってここでは、カウントアップしないで動画コードs103a“n”を出力し、加算器104において、表示コードs107と、動画コードs103a“n”とを加算して、上記動画表示コードs104を生成し、セレクト105において動画静止画選択信号s117に基

づいて上記動画表示コード s 104 か、表示コード s 107 が選択され（ステップ S 409）、その選択されたセクタ出力コード s 105 に基づいて CRT 101 に画像が表示される。従って、CRT 101 上に表示される図形は、動画表示を示す第 1 の制御データの場合は前回表示された図形が表示され、また静止画表示を示す第 2 の制御データの場合は、図形 D がそのまま表示されることとなる。

【0045】ここで、具体的に動画制御データが 5 であり、制御データが表示コード“0”、動画静止画選択ビット“1”を含むものであり、ROM 110 には図 10 に示すように徐々に形を変えた表示データが格納されているとし、また、表示コード“0”には画像 701、表示コード“1”には画像 702、表示コード“2”には画像 703、表示コード“3”には画像 704、表示コード“4”には画像 705、表示コード“5”には画像 706 が対応するならば、CRT 101 上に最初に表示される図形は、制御データに含まれる表示コード“0”に対応する画像 701 であり、動画スピード設定回路 102 から動画コードインクリメント信号 s 102 が出力される毎に、CRT 101 上に表示される画像が加算器 104 において動画表示に使用する表示コードである動画表示コードが生成され、画像がマイクロコンピュータの制御なしに、画像 702、画像 703、…、画像 706 とある一定間隔で切り替わり、画像 706 で停止することになる。

【0046】以上のように、本実施の形態 1 によれば、初期値として、マイクロコンピュータから、上記表示コード及び動画静止画選択信号等を含む制御信号と、表示位置データと、動画表示に関するデータである動画スピードデータと、動画制御データとを設定し、動画スピード設定回路 102 において垂直同期信号を上記動画スピードデータの値までカウントする毎に動画コードインクリメント信号 s 102 を出力し、上記動画コード生成回路 103 において該動画コードインクリメント信号 s 102 をカウントアップして、加算器 104 において動画表示に使用する表示コードである動画表示コードを自動的に生成し、動画静止画選択信号 s 117 に基づいて、上記セクタ 105 において表示コード s 107 と上記動画表示コード s 104 とのうちのどちらかを選択して表示するようにしたので、最初にマイクロコンピュータから初期値として、CRT 101 に最初に表示したい画像、及び動画のスピードや動画に使用する画像の枚数等、動画に関するデータを設定すれば、マイクロコンピュータにおいて動画表示させるためのアドレスを発生させて表示 RAM 106 に書き込む必要なく、表示画像制御部 100 が上記動画表示コード s 104 をある一定のタイミングで自動的に生成して CRT 101 上に動画を表示することができ、またセクタ 105 において表示コード s 107 の値をセクタ出力コード s 105 とし

て常に出力すれば、動画とはならず静止画を表示することができる。さらに、垂直同期信号 V を動画スピード設定回路 102 においてカウントして、動画コードインクリメント信号 s 102 が出力される毎に画像を切替えるようにしているので、動画の表示スピードも、マイクロコンピュータからではなく、表示画像制御部 100 において管理することができる。この結果、本実施の形態 1 における画像表示装置によれば、動画表示する際のマイクロコンピュータに負担をかけることなく、画像を次々に切替えて動画を表示することができる。また、初期値として設定した上記動画スピードデータの値を変化させれば、動画スピード設定回路 102 にてカウントする垂直同期信号 V の数が変わることになり、その結果、画像を切替えるタイミングが変わるため、動画の動きのスピードを変えることができる。

【0047】また、本実施の形態 1 における動画コード生成回路 103 a の構成においては、マイクロコンピュータからの制御なしに、動画表示している画像を所定の画像で停止させることができる。

【0048】なお、本実施の形態 1 においては、上記動画コード生成回路 103 が、0, 1, …と増加して動画制御データ n でとまる動画コード s 103 が出力される場合について説明したが、動画コード生成回路 103 の構成をかえれば、動画コード s 103 を n, …3, 2, 1, 0 と減少させて、動きが逆の動画を表示したり、また、動画コード s 103 を 0, 1, 2, …n, 0, 1, 2, …n, 0 …と繰り返すようにして、動画を繰り返し表示したりできる。

【0049】（実施の形態 1 の変形例 1）以下、図 5 を用いて、動画コード s 103 が 0, 1, 2, …, n, 0, 1, 2, …, n とサイクリックに繰り返される動画コード生成回路 103 b について説明する。図 5 は、動画コード生成回路 103 b の構成を示すブロック図である。

【0050】図 5 において、動画コード生成回路 103 b は、マイクロコンピュータからの動画制御データを格納し、動画数データ s 201 を出力する動画数レジスタ 201 と、その動画数データ s 201 の値と動画コード s 103 b との数値を比較して比較結果信号 s 302 を出力する比較器 302 と、その比較結果信号 s 302 と動画制御データに含まれるリセット信号との論理和 s 301 とをとる OR 回路 301 と、上記論理和 s 301 によりリセットされ、上記動画コードインクリメント信号 s 102 をカウントアップしていき、そのカウント値を動画コード s 103 b として出力するリセット付きバイナリカウンタ 204 と、を備えている。

【0051】以下、図 6 を用いて、以上のように構成された動画コード生成回路 103 b を有する表示画像制御部 100 において、図形を表示する動作を説明する。図 6 は、本実施の形態 1 の変形例 1 における、表示画像制御部 100 の一連の動作を示すフローチャート図であ

る。

【0052】まず、マイクロコンピュータは、CRT 101の初期画面に表示する図形の制御データを表示RAM 106に、上記表示位置データを表示位置制御回路108に、さらに上記動画スピードデータを動画スピード設定回路102に、上記動画制御データを動画コード生成回路103bに書き込む(ステップS601)。なお、ここでも実施の形態1で説明したのと同様、制御データは、どの図形を表示するかを示す表示コードと、その表示する図形を動画表示するか否かを示す動画静止画

選択ビットとで構成されているものとし、動画制御データは $n$ ( $n$ :整数)であり、また上記動画静止画選択ビットが“1”であれば動画を選択し、“0”であれば静止画を選択するものとする。

【0053】このようにして、本実施の形態1の変形例

1における表示画像制御部100に上述した各データが設定されると、動画スピード設定回路102においてカウントが開始される(ステップS602)。

【0054】ここで、本実施の形態1の変形例1における動画コード生成回路103bは、マイクロコンピュータから動画制御データ $n$ が入力されると動画数レジスタ201に書き込み、また該動画制御データ $n$ が入力されると同時に、リセット付きバイナリカウンタ204をリセットするためリセット信号“1”をOR回路301に送り、該OR回路301は比較結果信号s302の値にかかわらず“1”を論理和s301として出力し、リセット付きバイナリカウンタ204をリセットする。これにより、リセット付きバイナリカウンタ204は、動画コードs103bの初期値として“0”を出力し、CRT 101上には、まず最初の図形として上記制御データ

で設定された表示コードに対応する図形が表示される(ステップS603)。

【0055】次に、動画スピード設定回路102において垂直同期信号Vのカウントが開始されてから、ある一定時間が経過し(ステップS604)、上述したようにCRT 101上に表示された最初の図形が次の図形に切り替わるまで(ステップS605～ステップS612)の表示画像制御部100の動作について説明する。

【0056】まず、動画スピード設定回路102において、設定された上記動画スピードデータの値だけの垂直同期信号Vがカウントされると(ステップS604)、動画スピード設定回路102はカウント値を“0”にリセットすると共に、動画コードインクリメント信号s102を出力する(ステップS605)。そして、該動画コードインクリメント信号s102を受けた動画コード生成回路103bは、比較器302において、前回出力した動画コードs103b、ここでは初期値“0”と、動画制御データ $n$ とを比較し(ステップS606)、一致しなければ“0”、一致すればある一定時間“1”となり再び“0”となる比較結果信号s302を出力す

る。つまり、比較器302において比較結果が一致しなければ、比較結果信号s302は“0”で、且つ動画制御データによるリセット信号も既にリセットが終了しているため“0”であるので、OR回路301からの論理和s301は“0”となり、リセット付きバイナリカウンタ204はリセット解除される。よって、比較結果が一致しない場合は、リセット付きバイナリカウンタ204は動画コードインクリメント信号s102が入力される毎にカウントアップされ、該カウント値を動画コードs103bとして出力する(ステップS607)。そして、加算器104において上記表示コードs107と、上述のようにしてえられた動画コードs103b、ここでは“1”とにより、動画表示の際に使用する表示コードである動画表示コードs104を生成する。そして、セレクト105において、上記表示デコード回路107から出力された動画静止画選択信号s117に基づき、動画表示コードs107か、上記動画表示コードs104かのどちらかを選択する(ステップS609)。ここでは、動画静止画選択信号s117が“1”であれば、動画表示であると判断され、セレクト出力コードs105として、表示コードs107に+1加算された動画表示コードs104がROMアドレス生成回路109に出力され(ステップS610)、該動画表示コードs104に対応する表示データが表示回路111に出力される(ステップS612)。この結果、CRT 101上に、マイクロコンピュータが表示RAM 106に書き込んだ制御データに含まれる表示コードに+1加算された表示コードが示す図形が表示される。一方、動画静止画選択信号s117が“0”であれば、静止画表示であると判断され、セレクト出力コードs105として表示コードs107がROMアドレス生成回路109に出力され(ステップS611)、該表示コードs107に対応する表示データが表示回路111に出力されるため(ステップS612)、CRT 101上には、マイクロコンピュータが表示RAM 106に書き込んだ制御データに含まれる表示コードが示す図形、つまり最初の画面に表示された図形と同じ図形が表示される。

【0057】さらに時間が経過して、動画スピード設定回路102において、再び上記動画スピードデータの値だけの垂直同期信号Vがカウントされると(ステップS604)、動画スピード設定回路102はカウント値をリセットして動画コードインクリメント信号s102を出力する(ステップS605)。そして、前回出力した動画コードs103b、ここでは“1”と、動画制御データ $n$ とを比較し(ステップS606)、一致しなければカウントアップし、動画コードs103bとして“2”を出力する(ステップS407)。

【0058】そして、加算器104において、表示コードs107に、上述のようにして生成した動画コードs103b“2”を加算して、上記動画表示コードs10

4を生成する。そして、セクタ105において、動画静止画選択信号s117に基づき、上記動画表示コードs104か、表示コードs107かが選択され(ステップs609)、その選択されたセクタ出力コードs105に対応する図形がCRT101に表示される。

【0059】以上のような動作を動画コード生成回路103bに書き込まれた動画制御データn回繰り返した後、その次のn+1回目において、上述したステップS606で動画制御データnと、前回出力した動画コードs103、ここでは“n”とを比較することになり、動画コードs103と動画制御データとが一致するので、比較器302がある一定期間“1”となる。そしてこのとき、動画制御データからのリセット信号は“0”であるので、論理和s301はある一定期間“1”となり、リセット付きバイナリカウンタ204はリセットされ(ステップS608)、比較結果信号s302が“0”になった時点でリセット解除される。つまり、実施の形態1ではn+1回目ではリセット付きバイナリカウンタ204はリセットされず停止してしまっていたが(図4のステップS408)、本実施の形態1の変形例1においては、リセット付きバイナリカウンタ204がリセットされるため、該バイナリカウンタ204が停止されることなく、次の動画コードインクリメント信号s102が入力されるとカウントアップを再開し、再び動画制御データnと動画コードs103とが一致したところでリセットされるという動作を繰り返す。

【0060】ここで、具体的に動画制御データが5であり、制御データが表示コード“0”、動画静止画選択ビット“1”を含むものであり、ROM110には図10に示すように徐々に形を変えた表示データが格納されているとし、また、表示コード“0”には画像701、表示コード“1”には画像702、表示コード“2”には画像703、表示コード“3”には画像704、表示コード“4”には画像705、表示コード“5”には画像706が対応するならば、CRT101上に最初に表示される図形は、制御データに含まれる表示コード“0”に対応する画像701であり、動画スピード設定回路102から動画コードインクリメント信号s102が出力される毎に、CRT101上に表示される画像が加算器104において動画表示に使用する表示コードである動画表示コードが生成され、画像がマイクロコンピュータの制御なしに、画像702、画像703、…、画像706、画像701、画像702、…と繰り返し画像が表示されることになる。

【0061】このように、本実施の形態1の変形例1における、動画コード生成回路103bは、マイクロコンピュータから動画制御データが入力されると同時にリセットされることで動画コードs103の初期値を“0”とし、設定された動画制御データnの値まで動画コードs103をカウントアップし、また、“0”に戻り再び

カウントアップするという動作を繰り返す。この動画コード生成回路103bにより、表示画像制御部100は、マイクロコンピュータが設定した動画制御データnの画像数、つまり動画に使用する画像の枚数を切替えることで動画を表示し、さらにその動画表示を何回でも繰り返すことができる。また、マイクロコンピュータが動画数レジスタ201に“0”を書込み、リセット付きバイナリカウンタ204をリセットすることで、動画表示の繰り返しを停止することもできる。

【0062】(実施の形態1の変形例2)次に、図7を用いて、n, …3, 2, 1, 0, n, …3, 2, 1, 0…とサイクリックに減少を繰り返す動画コードs103が出力される動画コード生成回路103cについて説明する。図7は、本実施の形態1の変形例2における、動画コード生成回路103cの構成を示すブロック図である。

【0063】図7において、動画コード生成回路103cは、マイクロコンピュータからの動画制御データを受け、動画数データs201を出力する動画数レジスタ201と、動画コードs103cを受け、その動画コードs103cの数値が“0”ならば検出結果信号s401を出力する比較器401と、その検出結果信号s401と動画制御データに含まれるリセット信号の論理和s402をとるOR回路402と、論理和s402により動画数データs201をプリセットし、動画コードインクリメント信号s102をカウントダウンし、カウント値を動画コードs103として出力するプリセット付きバイナリダウンカウンタ403と、を備えている。

【0064】以下、以上のように構成された動画コード生成回路103cを有する表示画像制御部100において、図形を表示する動作を説明する。まず、マイクロコンピュータは、CRT101の初期画面に表示する図形の制御データを表示RAM106に、上記表示位置データを表示位置制御回路108に、さらに上記動画スピードデータを動画スピード設定回路102に、上記動画制御データを動画コード生成回路103cに書き込む。なお、ここでも実施の形態1で説明したのと同様、制御データは、どの図形を表示するかを示す表示コードと、その表示する図形を動画表示するか否かを示す動画静止画選択ビットとで構成されているものとし、動画制御データはn(n:整数)であり、また上記動画静止画選択ビットが“1”であれば動画を選択し、“0”であれば静止画を選択するものとする。

【0065】このようにして、本実施の形態1の変形例2における表示画像制御部100に上述した各データが設定されると、動画スピード設定回路102においてカウントが開始される。

【0066】ここで、本実施の形態1の変形例2における動画コード生成回路103cは、マイクロコンピュータより動画制御データnが入力されると動画数レジスタ

201に書き込み、また該動画制御データnが入力されると同時に、プリセット付きバイナリダウンカウンタ403に動画数データs201、ここでは“n”をプリセットするため、プリセット信号“1”をOR回路402に送り、OR回路402は検出結果信号s401の値にかかわらず“1”を論理和s402として出力し、プリセット付きバイナリダウンカウンタ403に動画数データs201“n”をプリセットする。これにより、プリセット付きバイナリダウンカウンタ403は、動画コードs103cの初期値として動画数データs201の値“n”を出力し、CRT101上には、まず最初の図形として、上記制御データで設定された表示コード+nの表示コードに対応する図形が表示される。

【0067】次に、動画スピード設定回路102において垂直同期信号Vのカウントが開始されてから、ある一定時間が経過し、上述したようにCRT101上に表示された最初の図形が次の図形に切り替わるまでの表示画像制御部100の動作について説明する。

【0068】まず、動画スピード設定回路102において、設定された上記動画スピードデータの値だけの垂直同期信号Vがカウントされると、動画スピード設定回路102はカウント値を“0”にリセットすると共に、動画コードインクリメント信号s102を出力する。そして、該動画コードインクリメント信号s102を受けた動画コード生成回路103cは、検出器401において、前回出力した動画コードs103c、ここでは初期値“n”が“0”でなければ“0”を出力し、“0”であればある一定期間“1”となり再び“0”となる検出結果信号s401を出力する。つまり、検出器401において検出結果が“0”以外ならば、検出結果信号s401が“0”で、且つ動画制御データによるプリセット信号も既にプリセットが終了しているため“0”であるので、OR回路402からの論理和s402は“0”となり、プリセット付きバイナリダウンカウンタ403はプリセットされない。よって、動画コードs103cが“0”以外であれば、プリセット付きバイナリダウンカウンタ403は動画コードインクリメント信号s102が入力される毎にカウントダウンされ、該カウント値を動画コードs103cとして出力する。そして、加算器104において上記表示コードs107と、上述のようにしてえられた動画コードs103c、ここでは“n-1”とにより、動画表示する際に使用する表示コードである動画表示コードs104を生成する。そして、セクタ105において、上記表示デコード回路107から出力された動画静止画選択信号s117に基づき、動画表示コードs107か、上記動画表示コードs104かのどちらかを選択する。ここでは、動画静止画選択信号s117が“1”であれば、動画表示であると判断され、セクタ出力コードs105として、上記動画表示コードs104がROMアドレス生成回路109に出力

され、該動画表示コードs104に対応する表示データが表示回路111に出力される。一方、動画静止画選択信号s117が“0”であれば、静止画表示と判断され、セクタ出力コードs105として表示コードs107がROMアドレス生成回路109に出力され、該表示コードs107に対応する表示データが表示回路111に出力される。

【0069】さらに時間が経過して、動画スピード設定回路102において、再び上記動画スピードデータの値だけの垂直同期信号Vがカウントされ、動画コードインクリメント信号s102が出力される毎に、動画表示コード生成回路103cにおいてカウントダウンされ、動画コードs103cがn-1, n-2, ...と出力される動作を動画制御データn回繰り返した後、その次のn+1回目において、動画コードs103cが“0”となると、検出結果信号s401がある一定期間“1”となる。そしてこの時、動画制御データからのプリセット信号は“0”であるので、論理和s402はある一定期間“1”となり、再びプリセット付きバイナリダウンカウンタ403は動画数データs201がプリセットされ、検出結果信号s401が“0”になった時点でプリセットが解除され、動画コードインクリメント信号s102が入力されると、カウントダウンを再開し、動画コードs103cが“0”となったところで、動画数データs201“n”がプリセットされるという動作を繰り返す。

【0070】ここで、具体的に動画制御データが5であり、制御データが表示コード“0”、動画静止画選択ビット“1”を含むものであり、ROM110には図10に示すように徐々に形を変えた表示データが格納されているとし、また、表示コード“0”には画像701、表示コード“1”には画像702、表示コード“2”には画像703、表示コード“3”には画像704、表示コード“4”には画像705、表示コード“5”には画像706が対応するならば、CRT101上に最初に表示される図形は、制御データに含まれる表示コード“5”に対応する画像706であり、動画スピード設定回路102から動画コードインクリメント信号s102が出力される毎に、CRT101上に表示される画像が加算器104において動画表示に使用する表示コードである動画表示コードが生成され、画像がマイクロコンピュータの制御なしに、画像705、画像704、…、画像701、画像706、画像705、…と逆回転で繰り返し画像が表示されることになる。

【0071】このように、本実施の形態1の変形例2における、動画コード生成回路103cは、マイクロコンピュータから動画制御データが入力されると同時に、動画制御データの値にプリセットされることで動画コードs103cの初期値を“n”とし、該動画コードs103cが“0”になるまで動画コードs103をカウント

ダウンし、動画コード  $s103c$  が“0”になると再び動画制御データの値にプリセットされ、カウントダウンするという動作を繰り返す。この動画コード生成回路  $103c$  により、表示画像制御部  $100$  は、マイクロコンピュータが設定した動画制御データ  $n$  の画像数、つまり動画に使用する画像の枚数を切替えることで、逆の動きをする動画を表示して、その動画表示を何回でも繰り返すことができる。また、マイクロコンピュータが動画数レジスタ  $201$  に“0”を書込み、プリセット付きバイナリダウンカウンタ  $403$  に“0”をプリセットすること

【0072】なお、本実施の形態1及びその変形例1、2において、制御データは上記表示コードと上記動画静止画選択ビットとを含むものであるとしたが、例えば色コードを含むものであってもよく、その場合、図2

(a) に示す制御データに色コードを示す色ビットが含まれ、例えばその色ビットが“1”である場合は、予め用意されている赤系統の色パレットAを使い、色コードが“2”である場合は、予め用意されている青系統の色パレットBを使用するようにすれば、同じ図形表示でも色を変化させることが可能となる。

【0073】また、本実施の形態1においては、0, 1, …と増加して動画制御データ  $n$  でとまる動画コード  $s103a$  を出力する動画コード生成回路  $103a$  について、また、実施の形態1の変形例1では、0, 1, 2, … $n$ , 0, 1, 2, … $n$ , 0…と繰り返す動画コード  $s103b$  を出力する動画コード生成回路  $103b$  について、また、実施の形態1の変形例2では、 $n$ , …3, 2, 1, 0と減少する動画コード  $s103c$  を出力する動画コード生成回路  $103c$  について説明したが、上記動画コード生成回路  $103a$  が、図3、図5、図7に示される上記動画コード生成回路  $103a \sim 103c$  を組み合わせた回路から構成されるものであってもよい。例えば、増加あるいは減少してある所定値で停止される、また該所定値までの増加あるいは減少がサイクリックに繰り返される動画コード  $s103$  が出力される場合の動画コード生成回路  $103$  の構成は、図8に示されるようなものが考えられ、このような場合、マイクロコンピュータから、上記動画制御データを入力すると同時に、動画コード  $s103$  を動画制御データの値で停止させるのか、繰り返しさせるのかどうかを選択する繰り返し/停止切替え信号と、該動画コードを  $s103$  を増加させるか、減少させるかどうかを示すアップ/ダウン切替え信号とを入力する必要がある。

【0074】さらに、本実施の形態1及びその変形例1、2では、表示する画像は図形であるものとしたが、図形以外であっても、例えば絵や文字などの画像であっても、本発明は適用可能である。

【0075】

【発明の効果】以上のように本発明の請求項1に記載の

画像表示装置によれば、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示装置において、表示画面上に表示される画像の表示コードと、該表示コードが示す画像を動画とするか否かを示す動画静止画選択信号と、を少なくとも含む制御データを記憶する第1のメモリと、上記表示画面上に表示される全ての画像の表示データをあらかじめ記憶している第2のメモリと、前記第1のメモリから上記制御データを読み出して、上記表示コードと、上記動画静止画選択信号とを出力するデコード回路と、カウントされた垂直同期信号の値がある設定値になると出力されるインクリメント信号を受け、設定された動画に使用される画像数に基づいて、該インクリメント信号をカウントし、増加、減少、あるいはサイクリックに繰り返される該カウント値を、動画コードとして出力する動画コード生成回路と、上記表示コードから、上記動画コードの初期値を用いて静止画表示する場合に使用する表示コードである初期表示コードと、上記動画コードを用いて動画表示する場合に使用する表示コードである動画表示コードと、を生成する加算器と、上記動画静止画選択信号に基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択するセレクトと、前記セレクトにおいて選択された表示コードを受けて、該表示コードに対応する表示データを格納している上記第2のメモリのアドレスを出力するアドレス生成回路と、を備えるようにしたので、マイクロコンピュータが最初の表示画像を設定するだけで、以降の動画表示に関して何ら制御をしなくても、動画表示を行うことができ、マイクロコンピュータの負担を軽減し、装置全体のパフォーマンスを上げることができる。また、一つの画面上でも動画となる画像と静止画の画像を区別して表示ができ、マイクロコンピュータが動画スピードや動画枚数などの情報を初期に設定するだけで、動画の動きのスピードを制御し、設定した動画の画面数で動画を停止させたり、設定した動画の画面数で動画を繰り返したり、動きが逆である動画を表示することが可能である。

【0076】また、本発明の請求項2に記載の画像表示装置によれば、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記レジスタに記憶された画像数と上記動画コードの値とを比較する比較器と、上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントを停止し、その出力を上記動画コードとするバイナリカウンタと、を備えるようにしたので、設定された値でカウントアップを停止させる動作を画像表示装置側で管理して停止させることができ、予め設定された動画枚数で動きを停止する動画をマイクロコンピュータに負担をかけることなく表



示する装置を提供することができる。

【0077】また、本発明の請求項3に記載の画像表示装置によれば、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記レジスタに記憶された画像数と上記動画コードの値とを比較する比較器と、上記比較器において、上記画像数と上記動画コードの値とが一致しない場合は入力される上記インクリメント信号をカウントアップし、上記画像数と上記動画コードの値とが一致する場合はカウントをリセットし、その出力を上記動画コードとするバイナリカウンタと、を備えるようにしたので、設定された値までカウントアップし、該設定された値をリセットして再び“0”から上記設定された値までカウントアップする動作を画像表示装置側で管理して繰り返すことができ、予め設定された動画の枚数で動きを繰り返す動画をマイクロコンピュータに負担をかけることなく表示する装置を提供することができる。

【0078】また、本発明の請求項4に記載の画像表示装置によれば、請求項1に記載の画像表示装置において、上記動画コード生成回路が、上記設定された動画に使用される画像数を記憶するレジスタと、上記動画コードが所定の数値であることを検出する検出器と、上記検出器の出力が所定の数値の検出を示さない場合は入力される上記インクリメント信号をカウントダウンし、上記検出器の出力が所定の数値の検出を示す場合は上記レジスタに記憶された画像数をプリセットし、その出力を上記動画コードとするバイナリダウンカウンタと、を備えるようにしたので、設定された値から“0”までカウントダウンし、該設定された値に再びプリセットして“0”までカウントダウンする動作を画像表示装置側で管理して繰り返すことができ、予め設定された動画の枚数で動きを逆に繰り返す動画をマイクロコンピュータに負担をかけることなく表示する装置を提供することができる。

【0079】また、本発明の請求項5に記載の画像表示方法は、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、垂直同期信号のカウントを開始するカウント開始ステップと、動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、上記インクリメン

ト信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、上記選択ステップにおいて選択された表示コードが示す画像を表示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果が一致であれば上記その時点の動画コードを初期値に戻すものであるので、垂直同期信号をカウントすることにより一定時間で表示コードを増加あるいは減少し、それを繰り返すため、該表示コードに対応する画像も次々切り替わり、マイクロコンピュータに負担をかけることなくあらかじめ設定された動画の枚数で動きを繰り返す動画を表示することができる。

【0080】また、本発明の請求項6に記載の画像表示方法によれば、静止画表示、または複数の静止画を切替えることによる動画表示を行う画像表示方法において、表示する画像の表示コードと、該表示する画像を動画とするか否かを示す動画静止画選択ビットと、を少なくとも含む制御データと、動画を切替えるタイミングを示す動画スピードデータと、動画に使用する画像数を示す動画制御データと、を入力するデータ入力ステップと、垂直同期信号のカウントを開始するカウント開始ステップと、動画コードの初期値を作成し、該動画コードの初期値と上記表示コードとにより作成された初期表示コードが示す画像を表示装置に表示する初期画面表示ステップと、垂直同期信号を上記動画スピードデータの値までカウントする毎にリセットして、インクリメント信号を出力するインクリメント信号出力ステップと、上記インクリメント信号を受ける毎に、その時点の動画コードが所定値であるか判定し、その判定結果に従って、動画コードを生成する動画コード生成ステップと、上記動画コードを用いて、上記初期表示コードから動画表示する場合に使用する表示コードである動画表示コードを生成する動画表示コード生成ステップと、上記動画静止画選択ビットに基づいて、上記動画表示コードと上記初期表示コードとのうちのどちらかを選択する選択ステップと、上記選択ステップにおいて選択された表示コードが示す画像を表示装置に表示させる画像表示ステップ、とを有し、上記インクリメント信号出力ステップと上記画像表示ステップとの間でループを形成し、上記動画コード生成ステップは、上記判定結果が不一致であれば上記その時点の動画コードを+1あるいは-1し、上記判定結果



が一致であれば、上記その時点の動画コードをその値で停止させるものである。垂直同期信号をカウントすることにより一定時間で表示コードを増加あるいは減少し、設定された数値で増加あるいは減少を停止するため、該表示コードに対応する画像もカウンタが停止するまで次々切り替り、マイクロコンピュータに負担をかけることなくあらかじめ設定された動画の枚数で動き停止する動画を表示することができる。

#### 【図面の簡単な説明】

【図 1】本発明の実施の形態 1 に係る、画像表示装置の構成を示すブロック図である。

【図 2】本発明の実施の形態 1 に係る、動画表示の一例を具体的に示すための図である。

【図 3】本発明の実施の形態 1 に係る、増加してある所定値で停止する動画コードを出力する動画コード生成回路 103 の構成を示すブロック図である。

【図 4】本発明の実施の形態 1 の画像表示装置において、図形を表示する場合の表示画像制御部の一連の動作を示すフローチャート図である。

【図 5】本発明の実施の形態 1 の変形例 1 に係る、ある所定値までの増加を繰り返す動画コードを出力する動画コード生成回路の内部構成を示すブロック図である。

【図 6】本発明の実施の形態 1 の変形例 1 の画像表示装置において、図形を表示する場合の表示画像制御部の一連の動作を示すフローチャート図である。

【図 7】本発明の実施の形態 1 の変形例 2 に係る、ある所定値からの減少を繰り返す動画コードを出力する動画コード生成回路の内部構成を示すブロック図である。

【図 8】本発明の実施の形態 1 に係る、ある所定値までの増加または減少が、その値で停止、あるいは繰り返す動画コードが出力される動画コード生成回路の内部構成を示すブロック図である。

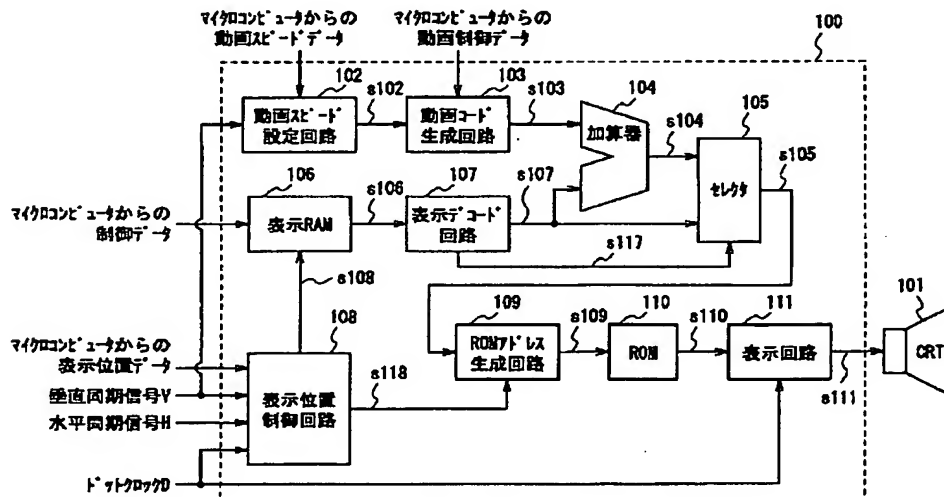
【図 9】従来における、画像表示装置の構成を示すブロック図である。

【図 10】ROM に予め格納されている画像の具体例を示す図である。

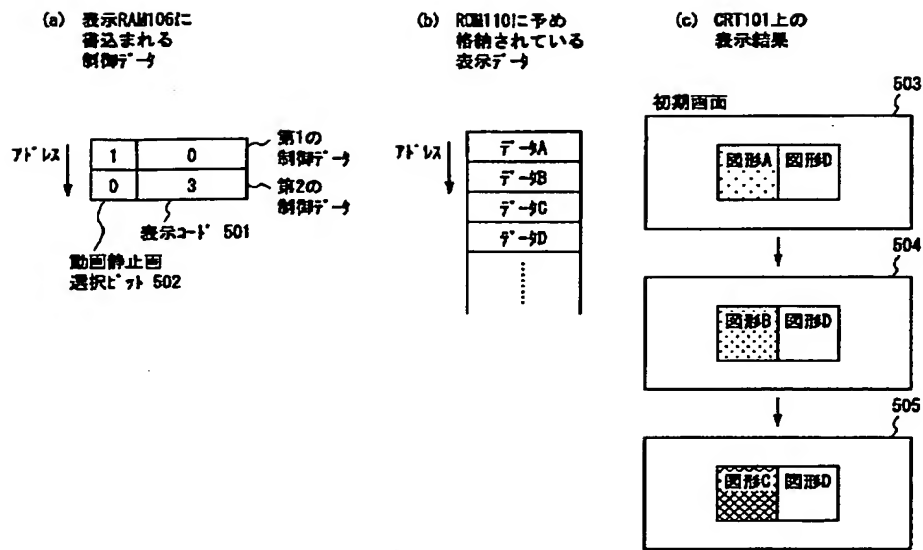
#### 【符号の説明】

100, 600 表示画像制御部  
101 CRT  
102 動画スピード設定回路  
103, 103a, 103b, 103c 動画コード生成回路  
104 加算器  
105 セレクタ  
106 表示RAM  
107 表示デコード回路  
108 表示位置制御回路  
109 ROMアドレス生成回路  
110 ROM  
111 表示回路  
201 動画数レジスタ  
202, 302 比較器  
203 AND回路  
204 リセット付きバイナリカウンタ  
301, 402 OR回路  
401 検出器  
403 プリセット付きバイナリダウンカウンタ  
501 表示コード  
502 動画静止画選択ビット  
503 初期画面  
504, 505 画面  
701, 702, 703, 704, 705, 706 画像

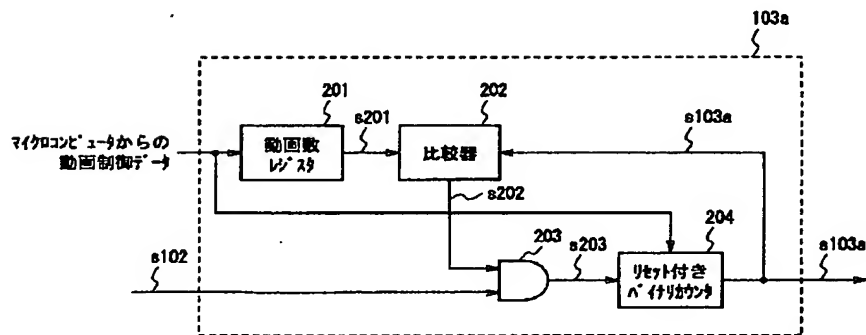
【図 1】



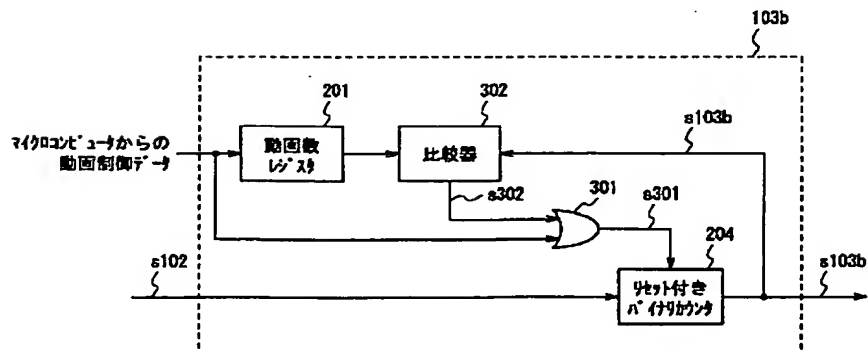
【図 2】



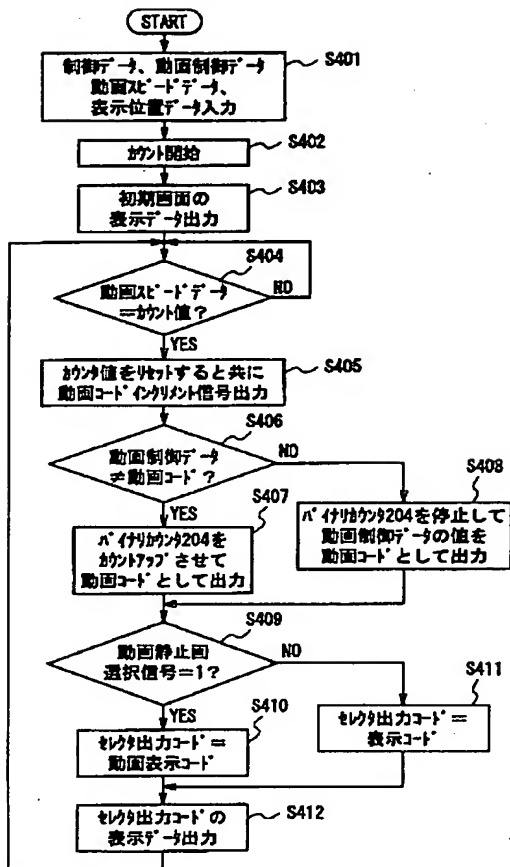
【図 3】



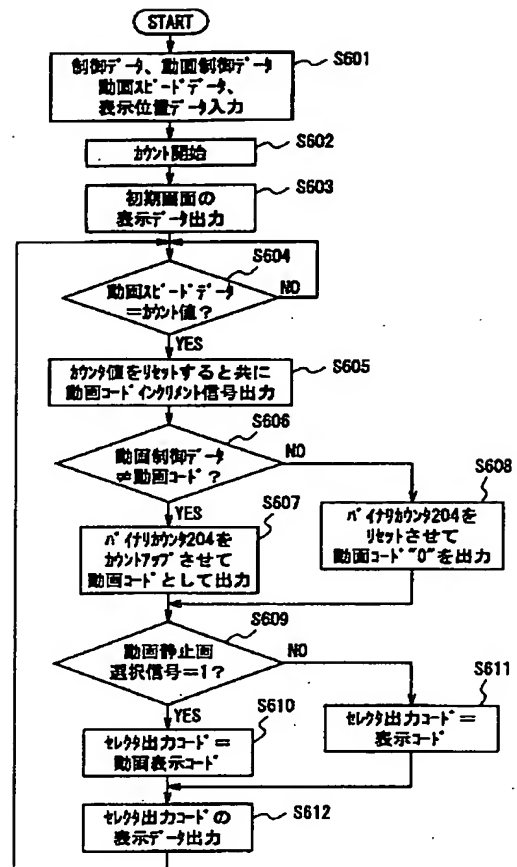
【図 5】



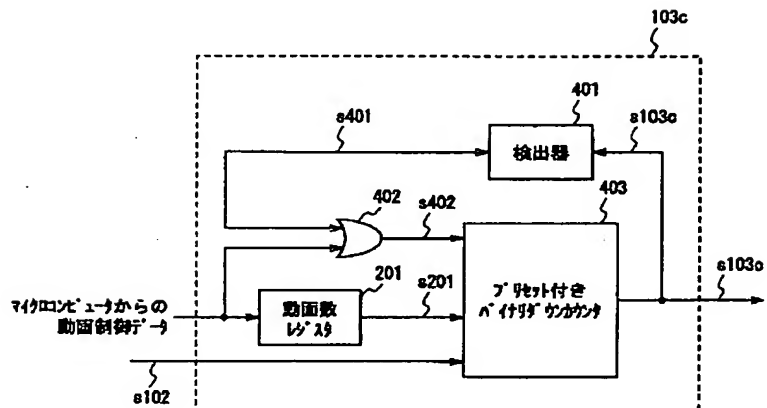
【図 4】



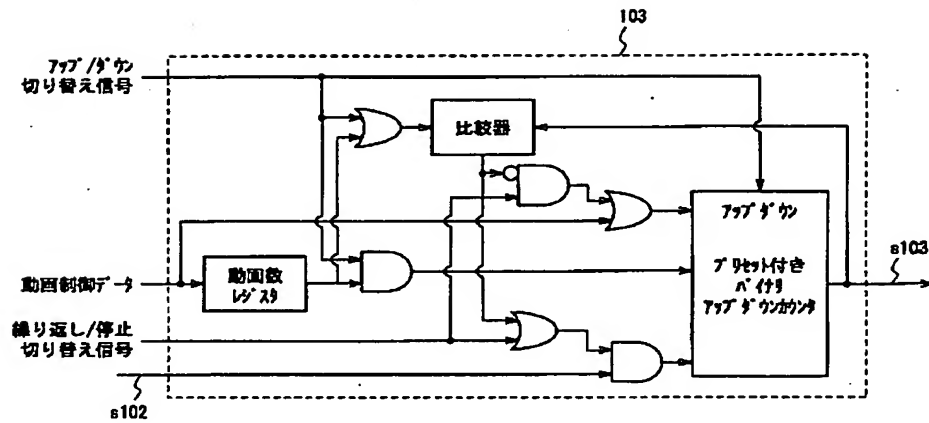
【図 6】



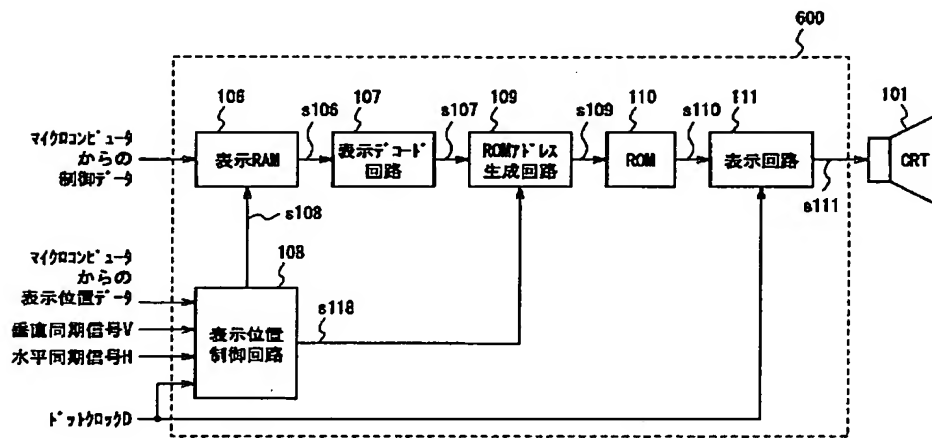
【図 7】



【図 8】



【図 9】



【図 10】

